

PAT-NO: JP411265341A

DOCUMENT-IDENTIFIER: JP 11265341 A

TITLE: INPUT/OUTPUT BUS BRIDGE DEVICE

PUBN-DATE: September 28, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
HIRATA, AKIRA	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP10065801

APPL-DATE: March 16, 1998

INT-CL (IPC): G06F013/36, G06F007/00 , G06F012/04

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an I/O bus bridge system having a simplified Endian transformation function capable of accelerating the whole circuit operation by integration and operable frequency extension based on reduction in the number of wires and the suppression of a circuit scale.

SOLUTION: Data of each byte unit from byte lanes 1 to 4/5 to 8 in I/O buses are stored in a group of registers 11 having I/O bus width constitution and Endian transformation based on shift operation between adjacent byte lanes out of the lanes 1 to 8 is executed in accordance with a control signal generated from a control circuit 12 for determining the control signal based on inputted transfer data information (width/direction).

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-265341

(43)公開日 平成11年(1999) 9月28日

(51)Int.Cl. <sup>8</sup>	識別記号	F I
G 0 6 F 13/36	3 2 0	G 0 6 F 13/36 3 2 0 A
7/00		12/04 5 1 0 G
12/04	5 1 0	7/00 R

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21)出願番号 特願平10-65801

(22)出願日 平成10年(1998) 3月16日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 平田 明

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

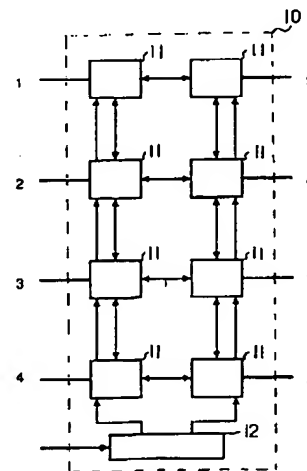
(74)代理人 弁理士 宮田 金雄 (外2名)

(54)【発明の名称】 入出力バスブリッジ装置

(57)【要約】

【課題】 配線量軽減と回路規模抑制による集積化と動作可能周波数拡張による回路全体動作の高速化を図る単純化エンディアン変換機能による入出力バスブリッジ方式を実現する。

【解決手段】 入／出力バス幅構成のレジスタ群11で入／出力バスのバイトレーン1～4／5～8の各バイト単位データに対し、保持をするとともに、別途入力する転送データ情報(幅／方向)により決定し生成する制御回路12による制御信号に従い、互いに隣合うバイトレーン1～8を保持する当該相互間でシフト操作によるエンディアン変換を施すように、駆動・転送をする。



10 : 入出力バスブリッジ装置

1～4 : データバスのバイトレーン

5～8 : (1～4) のバスと異なるデータエンディアンを持つバスのバイトレーン

11 : 各データを保持またはドライブを行う 8Bit レジスタ 12 : 制御回路

## 【特許請求の範囲】

【請求項1】 互いに異なるエンディアンの入出力バス間転送データに対し保持するとともに、制御回路による制御信号に従い駆動・転送をする入出力バス幅構成のレジスタ群と、別途入力する転送データ情報により前記レジスタ群の動作を決定する前記制御信号を生成する制御回路とを備える入出力バスブリッジ装置において、前記制御回路で前記転送データに対し当該データ幅に従いエンディアン変換を施すように前記レジスタ群の動作を決定することを特徴とする入出力バスブリッジ装置。

【請求項2】 制御回路で互いに異なるエンディアンかつデータ幅の入出力バス間転送データに対しエンディアン変換を施すようにレジスタ群の動作を決定することを特徴とする請求項1記載の入出力バスブリッジ装置。

【請求項3】 制御回路で入出力バス幅よりも大きい転送データに対しエンディアン変換を施すように別途設ける入出力バス幅よりも多い構成のレジスタ群の動作を決定することを特徴とする請求項1記載の入出力バスブリッジ装置。

【請求項4】 互いに異なるエンディアンまたは互いに異なるエンディアンかつデータ幅のメモリバスと入出力バス間でダイレクトメモリ転送をするバスマスタ機能をもつ手段を別途設けることを特徴とする請求項1または2記載の入出力バスブリッジ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明はデータ処理／伝達装置バスデータのエンディアン変換をする入出力バスブリッジ装置に関する。

## 【0002】

【従来の技術】たとえば一般に示す従来の入出力バスブリッジ装置10Cは図7のように、レジスタ11aは、互いに異なるビッグエンディアン・データバスAとリトルエンディアン・データバスBを分割し表現するバイトレーン1～4と5～8の各バイト単位データを保持・駆動する。制御回路12Cは、転送データ情報（幅／方向）を指定する別途入力をする制御信号に従いセレクト13の動作を決定する出力制御信号を生成する。セレクト13は、制御回路12Cによる制御信号に従い、レジスタ11経由バイトレーン1～4のデータに対し選択・分配をする。セレクト13aは、制御回路12Cによる出力制御信号に従い、セレクト13による各出力に対し選択・分配をし、レジスタ11経由バイトレーン5～8のデータとして出力する。

【0003】上記従来の入出力バスブリッジ装置は、互いに異なるエンディアン・データの入出力バス間で対象データ幅に従いセレクトによるバイトレーン切替えをしエンディアン変換をする方式を採る。

【0004】上記図7に示す実施形態は図8のように、入出力バスブリッジ装置10Cに接続する互いに異なる

ビッグエンディアン・データバスAとリトルエンディアン・データバスBに対し図9(a)に示す互いに異なるエンディアンデータをもつデバイスAとBを接続し、図9(b)に示す4つのバイトレーンBL1とBL2とBL3とBL4に対しデータバスAとBの1～4と5～8にそれぞれ対応するものとし、図9(c)と(d)に示すデバイスAとBのメモリイメージで32ビットデータOxFEDCBA98／16ビットデータOxABCD／16ビットデータOx1234／文字列データxyzNUL Lに対しそれぞれアドレスOx000／Ox004／Ox006／Ox008に設定するものとする、データバスAとB間におけるアドレスOx000の32ビットデータOxFEDCBA98転送時(図8

(a))は、32ビット転送データ幅を指定する入力制御信号に対し生成する制御回路12Cによる出力制御信号に従い、データバスAのバイトレーンBL1とBL2とBL3とBL4からデータバスBのバイトレーンBL4とBL3とBL2とBL1にそれぞれデータOxFEとOxDCとOxBAとOx98を出力するように、各セレクト13間で転送する。アドレスOx004とOx006の16ビットデータOxABCDとOx1234転送時(図8(b))は、上記図8(a)と同じに制御回路12Cによる出力制御信号に従い、データバスAのバイトレーンBL1とBL2とBL3とBL4からデータバスBのバイトレーンBL2とBL1とBL4とBL3にそれぞれデータOxABとOxCDとOx12とOx34を出力するように、各セレクト13間で転送する。アドレスOx008の8ビットデータxyzNUL L転送時(図8(c))は、上記図8(a)と同じに制御回路12Cによる出力制御信号に従い、データバスAのバイトレーンBL1とBL2とBL3とBL4からデータバスBのバイトレーンBL1とBL2とBL3とBL4にそれぞれ文字列データxとyとzとNUL Lを出力するように、各セレクト間13間で転送する。

## 【0005】

【発明が解決しようとする課題】上記のような従来の入出力バスブリッジ装置では、互いに異なるエンディアン・データの入出力バス間で対象データ幅に従いセレクトによるバイトレーン切替えをしエンディアン変換をする方式を採るから、バイト単位データを保持するレジスタとセレクト間の配線量が多くなり、また回路の複雑さ増大に伴う入出力信号を保持するフリップフロップ間の遅延時間が大きくなり、回路全体の動作を高速度できない問題点があった。

【0006】この発明が解決しようとする課題は、入出力バスブリッジ装置で上記問題点を解消するように、互いに異なるエンディアン・データの入出力バス間で対象データ幅に従い互いに隣合うバイトレーンを保持するレジスタによるデータシフト操作をしエンディアン変換をする方式(単純化エンディアン変換機能による入出力バ

スブリッジ方式)を提供することにある。

【0007】

【課題を解決するための手段】この発明の入出力バスブリッジ装置は、入出力バス幅構成のレジスタ群で互いに異なるエンディアンの入出力バス間転送データに対し保持をするとともに、別途入力する転送データ情報によりレジスタ群の動作を決定し生成する制御回路による制御信号に従い駆動・転送をするもので、上記課題を解決するためつぎの手段を設け、単純化エンディアン変換機能による入出力バスブリッジ方式を採ることを特徴とする。

【0008】制御回路は、互いに異なるエンディアンの入出力バス間転送データに対し、当該データ幅に従いエンディアン変換を施すようにレジスタ群の動作を決定する。または互いに異なるエンディアンかつデータ幅の入出力バス間転送データに対し、エンディアン変換を施すようにレジスタ群の動作を決定する。または入出力バス幅よりも大きい転送データに対し、エンディアン変換を施すように別途設ける入出力バス幅よりも多い構成のレジスタ群の動作を決定する。

【0009】バスマスタ機能をもつ手段は、別途設け、互いに異なるエンディアンまたは互いに異なるエンディアンかつデータ幅のメモリバスと入出力バス間でダイレクトメモリ転送をする。

【0010】

【発明の実施の形態】この発明の実施の一形態を示す入出力バスブリッジ装置10は図1のように、制御回路12で対象データのバス幅を指定することにより、バイト単位の転送データを保持するレジスタ11相互間のデータシフト操作で動的にエンディアン変換(バイトの並び順変換)をするとともに、入出力間でデータバス幅が異なるときでも速度変換をするように構成する。レジスタ11は、一般的なレジスタとセレクトでも構成できるが、2入力2出力構成とするのが望ましい。互いに異なるビッグエンディアン・データバスAとリトルエンディアン・データバスBを分割し表現するバイトレーン1～4と5～8における各バイト単位データに対し、保持をするとともに、制御回路12による出力制御信号に従い、互いに隣合うバイトレーン1～8を保持する当該相互間でシフト操作によるエンディアン変換を施すようにし、駆動・転送をする。制御回路12は、転送データ情報(幅/方向)を指定する別途入力する制御信号(読出し/書込みストロブ信号、下位ビットアドレス信号、ソフトウェア設定によるデータ幅を示すレジスタ出力信号等)により、レジスタ11の動作を決定する出力制御信号を生成する。従来のセレクトによるバイトレーン切替ではなく、互いに隣合うバイトレーン間シフト操作によるデータエンディアン変換をすることにより、配線量軽減と回路規模抑制をし集積化でき、動作可能周波数拡張をし回路全体の動作を高速化できる。

【0011】上記実施の形態の入出力バスブリッジ装置は、互いに異なるエンディアン・データの入出力バス間で対象データ幅に従い互いに隣合うバイトレーンを保持するレジスタによるデータシフト操作をしエンディアン変換をする方式(単純化エンディアン変換機能による入出力バスブリッジ方式)を採る。

【0012】上記図1に示す実施形態は図2のように、データバスAからBへの32ビットデータOx FEDCBA98転送時は、32ビット転送データ幅を指定する入力制御信号に対し生成する制御回路12による出力制御信号に従い、各バイトレーン1～4対応レジスタ11の各設定データOx FEとOxDCとOxBAとOx98に対し、データの流れ101に沿って4回のシフト操作によるエンディアン変換を施し、最終的に各バイトレーン5～6対応レジスタ11の各設定データOx98とOxBAとOxDCとOxFEとして転送する。各バイトレーン4～1と5～8対応レジスタ11の各データは、別途入力クロック信号Aに対しデータの流れ101に沿ってB→C→D→E→F→G→H→Iの時系列動作をする。図3のように、データバスAからBへの16ビットデータOx ABCD/Ox1234転送時は、上記図2と同じに制御回路12による制御信号に従い、各バイトレーン1～4対応レジスタ11の各設定データOxABとOxCD/Ox12とOx34に対し、データの流れ102に沿って2系統2回のシフト操作によるエンディアン変換を施し、最終的に各バイトレーン5～6対応レジスタ11の各設定データOxCDとOxABとOx34とOx12として転送する。各バイトレーン4/3と7/8対応レジスタ11の各データおよび各バイトレーン2/1と5/6対応レジスタ11の各データは、別途入力クロック信号Aに対しデータの流れ102に沿ってB'→C'→D'→E'およびF'→G'→H'→I'の時系列動作をする。図4のように、データバスAからBへの8ビット文字列データxyzNUL転送時は、上記図2と同じに制御回路12による制御信号に従い、各バイトレーン1～4対応レジスタ11の各設定文字データxとyとzとNULに対し、データの流れ103に沿ってデータバスAとBの同一バイトレーン対応レジスタ11間のシフト操作によるエンディアン変換を施し、最終的に各バイトレーン5～8対応レジスタ11の各設定文字データxとyとzとNULとして転送する。各バイトレーン4～1と8～5対応レジスタ11の各データは、別途入力クロック信号Aに対しデータの流れ103に沿ってB''→C''とD''→E''とF''→G''とH''→I''の時系列動作をする。

【0013】なお上記図1に示す発明の実施の形態で図5のように、たとえばバイトレーン7と8対応レジスタ11を削除してもよい。互いに異なるデータバス幅のたとえば32ビットビッグエンディアン・データバスAと16ビットリトルエンディアン・データバスB間データ

転送時に、上記と同じに互いに異なるバス幅の入出力データに対しエンディアン変換ができる。上記図5に示す実施形態は、16ビットデータ転送時でバイトレーン1と2または3と4に有効データが存在するときは、制御回路12aによる出力制御信号(下位2ビットアドレス信号とデータ幅16ビットを示す信号)に従い、バイトレーン1と2または3と4対応レジスタ11の設定データに対し、バイトレーン2→1→5→6または4→3→2→1→5→6対応レジスタ11の順にシフト操作によるエンディアン変換を施し転送する。8ビットデータ転送時は、制御回路12aによる出力制御信号(下位2ビットアドレス信号)に従い有効な各バイトレーン1～6対応レジスタ11のシフト操作によるエンディアン変換を施し転送する。

【0014】また上記図1に示す発明の実施の形態で図6(a)のように、バイトレーン1～8対応レジスタ11に対しデータバス幅よりも多い構成たとえば4個のレジスタ11を追加してもよい。データバスAからBへの64ビット(データバス幅よりも2倍大きい)データ転送時に、上記と同じにバス幅よりも大きい入出力データに対しエンディアン変換ができる。上記図6(a)に示す実施形態は、64ビットデータ転送時は、制御回路12bによる出力制御信号に従い、まずバイトレーン1～4対応レジスタ11に保持する1回目の32ビットデータ(01, 02, 03, 04)に対しシフト操作によるエンディアン変換を施し、保持データ(04, 03, 02, 01)としてバイトレーン5～8対応レジスタ11に移動する。つぎに上記と同じに2回目の32ビットデータ(05, 06, 07, 08)に対しエンディアン変換を施し保持データ(08, 07, 06, 05)としてバイトレーン5～8対応レジスタ11に移動すると同時に、1回目の保持データ(04, 03, 02, 01)を4個の追加レジスタ11に移動する。さらにエンディアン変換された64ビットデータ(08, 07, 06, 05, 04, 03, 02, 01)に対し、バイトレーン5～8対応レジスタ11の保持データ(08, 07, 06, 05)出力に続き、4個の追加レジスタ11の保持データ(04, 03, 02, 01)をバイトレーン5～8対応レジスタ11に移動後出力をする。たとえば図6(b)のように、64ビットデータ0x0102030405060708の転送時、バスAでは1回目と2回目で32ビットデータ0x01020304と0x05060708を転送し、バスBでは1回目と2回目で32ビットデータ0x05060708と0x01020304を出力する。

【0015】また上記図1または図5に示す発明の実施の形態で別途設けるDMA(direct memory access)コントローラと組合せてバスマスタ機能を付加し、制御回路12または12aの入力制御信号として予めソフトウェア設定をするDMAコントロー

ラ等によるレジスタ等デバイス出力信号を用いてもよい。互いに異なるエンディアンまたは互いに異なるエンディアンかつデータ幅のメモリバスと入出力バス間でダイレクトメモリ転送ができる。

【0016】また上記図1に示す発明の実施の形態で別途設ける8ビットまたは16ビットデータインタフェースデバイスをバイトレーン5～8のいずれかのバスBに接続することにより、バスAにおけるバイトレーン1～4の4つの1バイトデータを順次シフト操作でまたは2つのバイトデータを2回ずつのシフト操作で、バスBのたとえば接続バイトレーン5または接続バイトレーン5と6に1バイトずつまたは2バイトずつ出力してもよい。バスAに接続する32ビットデータインタフェースデバイスとバスBに接続する8ビットまたは16ビットデータインタフェースデバイス間のDMA転送時に有効である。

【0017】

【発明の効果】上記のようなこの発明の入出力バスブリッジ装置では、互いに異なるエンディアン・データの入出力バス間で対象データ幅に従い互いに隣合うバイトレーンを保持するレジスタによるデータシフト操作を施しエンディアン変換をする方式を採るから、従来のように対象データ幅に従いセクタによるバイトレーン切替えをする方式に比べ、配線量軽減と回路規模抑制による集積化ができ、動作可能周波数拡張による回路全体動作の高速化ができるほか発明ごとにつぎの効果がある。

(1) 互いに異なるバス幅の入出力データに対しエンディアン変換ができる。

(2) バス幅よりも大きい入出力データに対しエンディアン変換ができる。

(3) 互いに異なるエンディアンまたは互いに異なるエンディアンかつデータ幅のメモリバスと入出力バス間でダイレクトメモリ転送ができる。

【図面の簡単な説明】

【図1】 この発明の実施の一形態を示す入出力バスブリッジ装置の構成ブロック図。

【図2】 図1に示す入出力バスブリッジ装置の32ビットデータ転送時動作を説明する系統図とタイミング図。

【図3】 図1に示す入出力バスブリッジ装置の16ビットデータ転送時動作を説明する系統図とタイミング図。

【図4】 図1に示す入出力バスブリッジ装置の8ビットデータ転送時動作を説明する系統図とタイミング図。

【図5】 この発明の実施の他の一形態を示す構成ブロック図。

【図6】 この発明の実施の他の一形態を示す構成ブロック図とメモリイメージ図。

【図7】 従来の技術を示す入出力バスブリッジ装置の構成ブロック図。

【図8】 図7に示す入出力バスブリッジ装置の32/16/8ビットデータ転送時動作を説明する図。

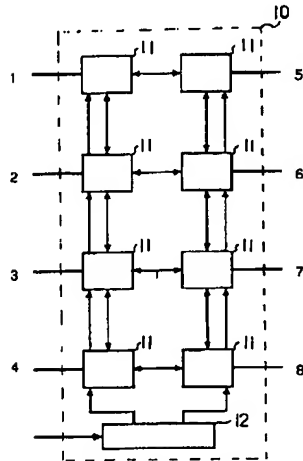
【図9】 図8に示す入出力バスブリッジ装置の接続デバイスとバイトレーンとを説明する図および互いに異なるエンディアンデータの配置とバイトレーン関係を示すメモリイメージ図。

【符号の説明】

1～4 データバスAのバイトレーン、5～8 データバスBのバイトレーン、10、10a、10b 入出力バスブリッジ装置、11 レジスタ、12、12a、12b 制御回路。

なお図中、同一符号は同一または相当部分を示す。

【図1】



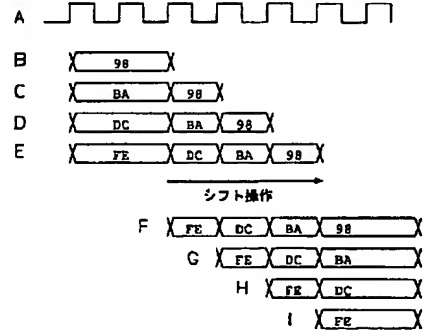
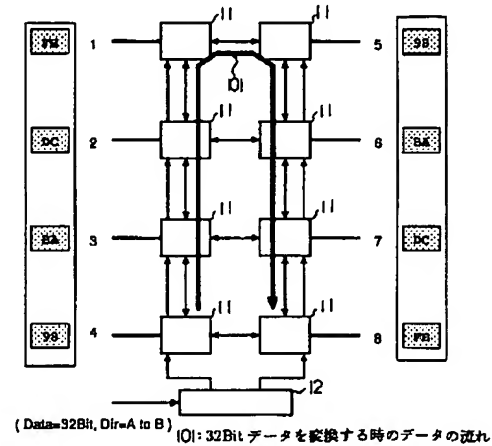
10: 入出力バスブリッジ装置

1～4: データバスAのバイトレーン

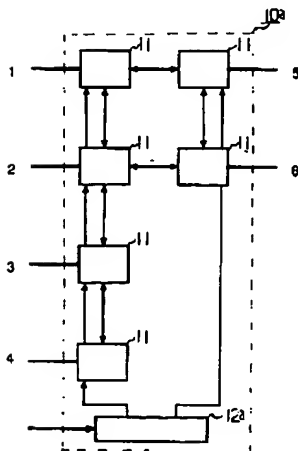
5～8: (1～4)のバスと異なるデータエンディアンを持つバスAのバイトレーン

11: 各データを保持またはドライブを行う8ビットレジスタ 12: 制御回路

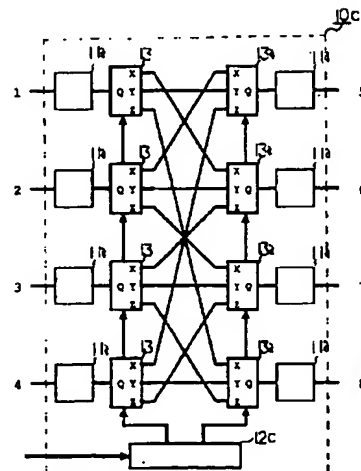
【図2】



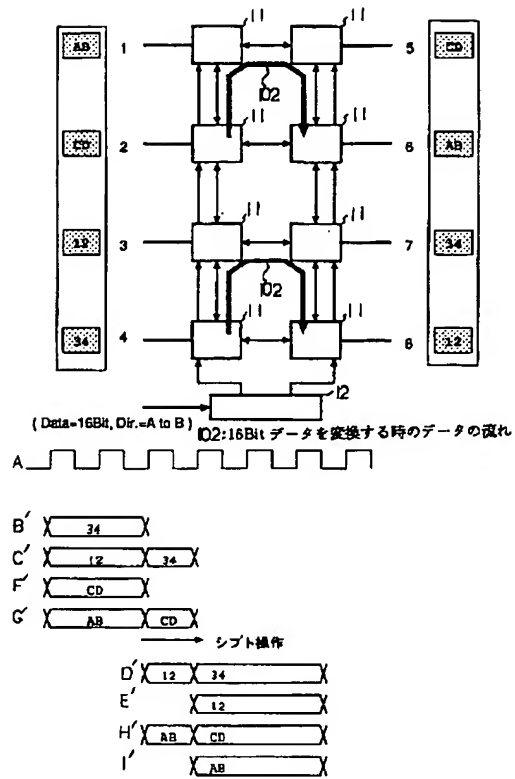
【図5】



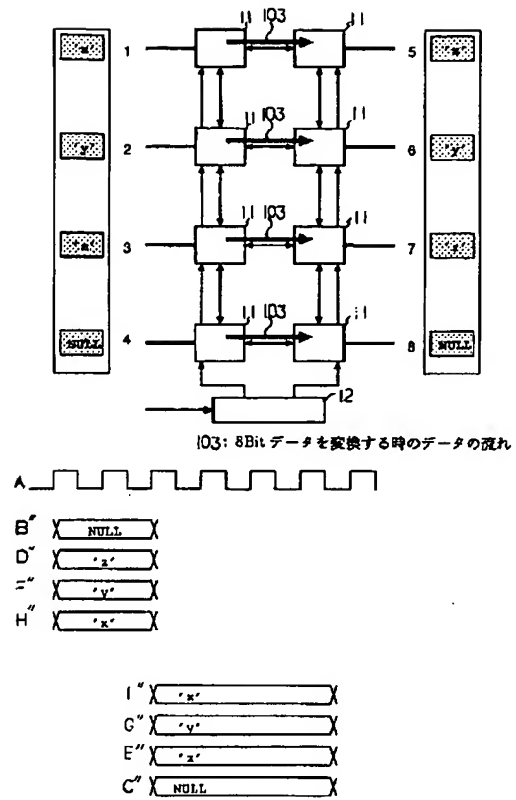
【図7】



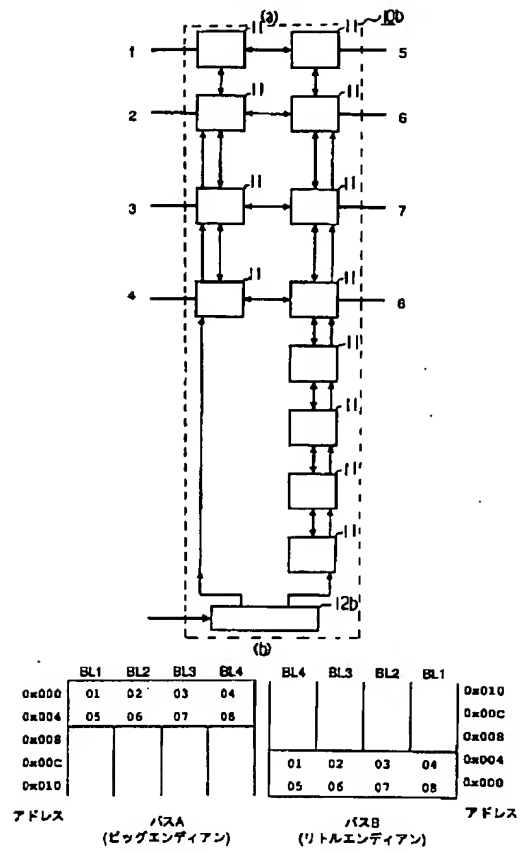
【図3】



【図4】

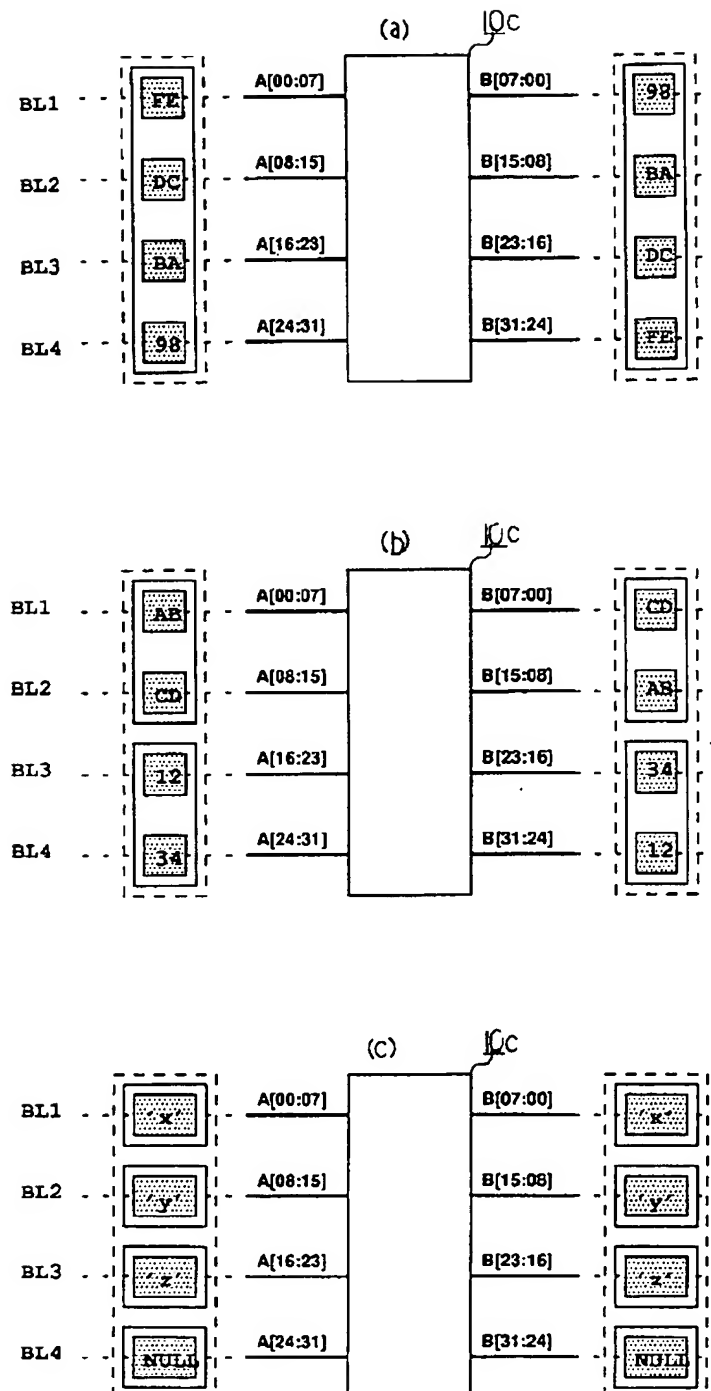


【図6】

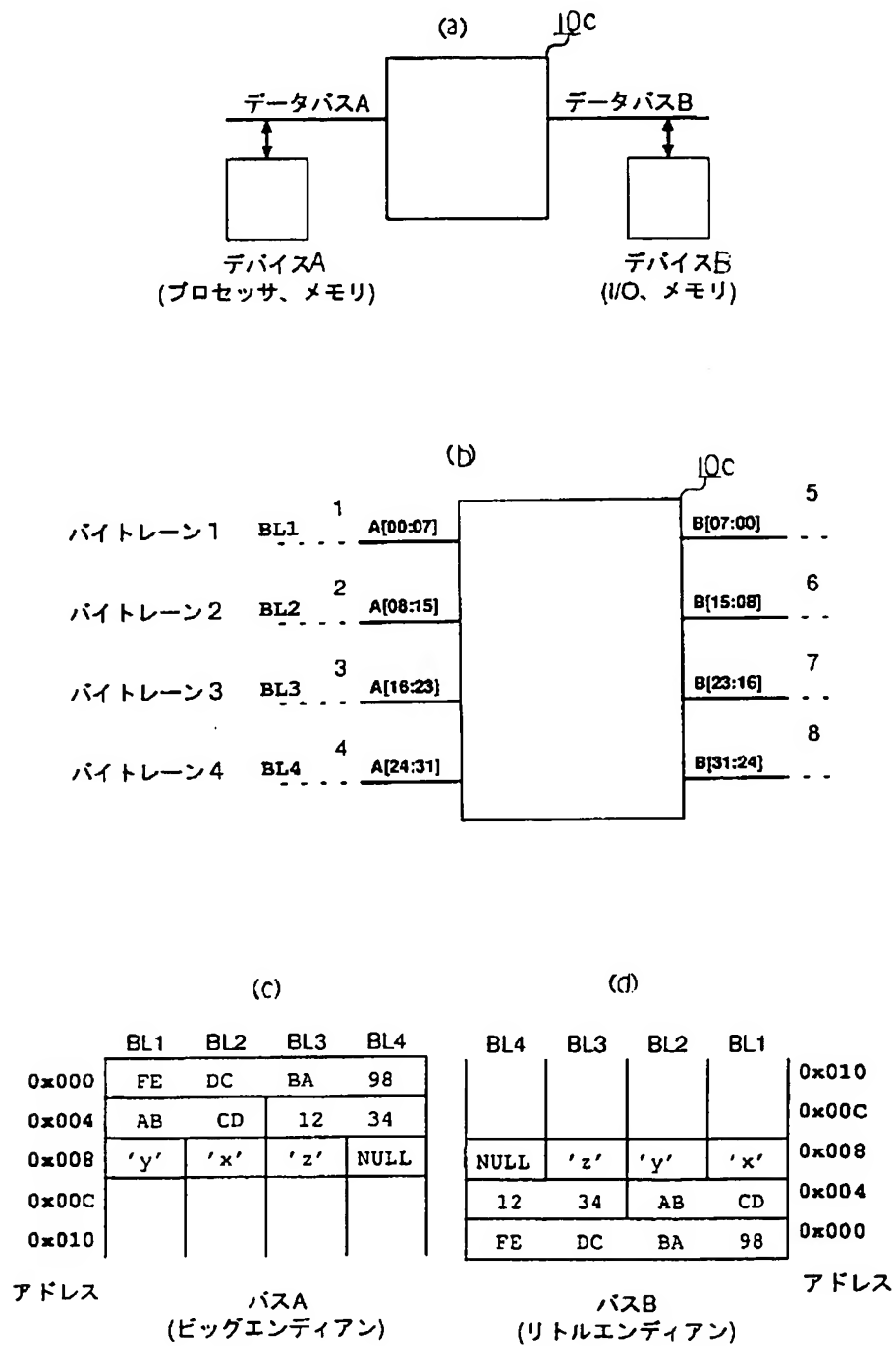




【図8】



【図9】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**